

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-86153
(P2020-86153A)

(43) 公開日 令和2年6月4日(2020.6.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	5C094
G09F 9/33 (2006.01)	G09F 9/33	5F033
G09F 9/00 (2006.01)	G09F 9/00 351	5F064
H01L 33/00 (2010.01)	G09F 9/30 360	5F110
H01L 33/62 (2010.01)	G09F 9/00 338	5F142

審査請求 未請求 請求項の数 19 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2018-221074 (P2018-221074)
(22) 出願日 平成30年11月27日 (2018.11.27)

(71) 出願人 502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号
(74) 代理人 110001737
特許業務法人スズエ国際特許事務所
(72) 発明者 金谷 康弘
東京都港区西新橋三丁目7番1号 株式会
社ジャパンディスプレイ内
(72) 発明者 池田 雅延
東京都港区西新橋三丁目7番1号 株式会
社ジャパンディスプレイ内
Fターム(参考) 5C094 AA42 BA03 BA12 BA25 CA19
CA24 DA13 DB01 EA04 EA07
EA10 FB12 GB10

最終頁に続く

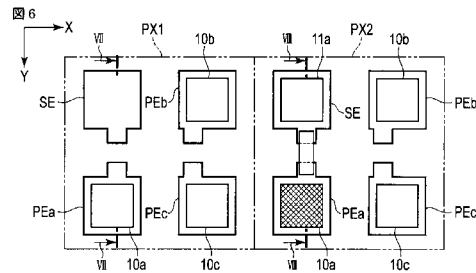
(54) 【発明の名称】 表示パネル、表示パネルの製造方法、及び基板

(57) 【要約】

【課題】 リペアを容易に行うことが可能な表示パネル、表示パネルの製造方法、及び基板を提供する。

【解決手段】 表示パネルは、基板と、第1絶縁層と、それぞれ複数色の副画素を含む複数の画素PXと、を備える。各々の副画素SPは、駆動トランジスタと、上記駆動トランジスタから電流値が制御された信号が与えられる画素電極PEと、画素電極PEの上に実装された発光素子10と、を有する。各々の画素PXは、画素電極PEに間隔を置いて位置した実装電極SEを有する。複数の画素PXのうち第1画素PX1において、実装電極SEは、電気的にフローティング状態にある。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

基板と、
前記基板の上に設けられた第 1 絶縁層と、
前記基板の上に設けられ表示領域に位置しそれぞれ複数色の副画素を含む複数の画素と、
を備え、

各々の前記副画素は、

第 1 絶縁層で覆われた駆動トランジスタと、

前記第 1 絶縁層の上に配置され、前記駆動トランジスタに電氣的に接続され、前記駆動トランジスタから電流値が制御された信号が与えられる画素電極と、

前記画素電極の上に実装され、前記画素電極に電氣的に接続された第 1 電極を含む発光素子と、を有し、

各々の前記画素は、前記第 1 絶縁層の上に配置され前記画素電極に間隔を置いて位置した実装電極を有し、

前記複数の画素のうち第 1 画素において、前記実装電極は、電氣的にフローティング状態にある、

表示パネル。

【請求項 2】

前記複数の画素のうち第 2 画素は、前記実装電極の上に実装され前記実装電極に電氣的に接続された第 1 電極を含む第 1 色の追加発光素子をさらに有し、

前記第 2 画素において、

前記実装電極は、前記第 1 色の前記副画素の前記駆動トランジスタに電氣的に接続され、前記駆動トランジスタから前記電流値が制御された信号が与えられ、

前記第 1 色の副画素の前記駆動トランジスタから前記電流値が制御された信号が前記第 1 色の副画素の前記画素電極及び前記実装電極に与えられた際、前記第 1 色の副画素の前記第 1 色の前記発光素子は発光せず、前記第 1 色の追加発光素子は発光する、

請求項 1 に記載の表示パネル。

【請求項 3】

前記第 2 画素は、前記第 1 絶縁層の上に位置し前記第 1 色の副画素の前記画素電極と前記実装電極とを接続した配線層をさらに有している、

請求項 2 に記載の表示パネル。

【請求項 4】

前記配線層は、メタライズ層である、

請求項 3 に記載の表示パネル。

【請求項 5】

前記配線層は、前記第 2 画素の前記実装電極と前記追加発光素子との間に位置し、

前記追加発光素子は、前記配線層の上に実装されている、

請求項 3 又は 4 に記載の表示パネル。

【請求項 6】

前記複数の画素電極、前記複数の実装電極、及び前記配線層の上に位置し、前記複数の画素電極、前記複数の実装電極、及び前記配線層を覆い、前記複数の発光素子及び前記追加発光素子を露出させた第 2 絶縁層をさらに備える、

請求項 3 に記載の表示パネル。

【請求項 7】

前記第 2 絶縁層、前記複数の発光素子、及び前記追加発光素子の上に配置され、前記複数の副画素で共用された共通電極をさらに備え、

前記複数の発光素子及び前記追加発光素子は、それぞれ、前記共通電極に電氣的に接続された第 2 電極を含んでいる、

請求項 6 に記載の表示パネル。

【請求項 8】

請求項 8 に記載の表示パネル。

10

20

30

40

50

前記第 2 画素において、電流は、前記第 1 色の副画素の前記画素電極と前記共通電極との間を、前記第 1 色の前記発光素子を介して流れない、
請求項 7 に記載の表示パネル。

【請求項 9】

前記発光素子及び前記追加発光素子は、それぞれ、マイクロ発光ダイオードである、
請求項 2 に記載の表示パネル。

【請求項 10】

基板と、前記基板の上に設けられた第 1 絶縁層と、前記基板の上に設けられ表示領域に位置しそれぞれ複数色の副画素を含む複数の画素と、を備え、各々の前記副画素は、第 1 絶縁層で覆われた駆動トランジスタと、前記第 1 絶縁層の上に配置され、前記駆動トランジスタに電氣的に接続され、前記駆動トランジスタから電流値が制御された信号が与えられる画素電極と、前記画素電極の上に実装され、前記画素電極に電氣的に接続された第 1 電極を含む発光素子と、を有し、各々の前記画素は、前記第 1 絶縁層の上に配置され前記画素電極に間隔を置いて位置し電氣的にフローティング状態にある実装電極を有する、パネルを用意し、

10

前記パネルを用意した後、前記複数の発光素子に発光不良が生じているかどうか検査し、

前記複数の画素のうち第 1 画素の前記複数の発光素子に発光不良が生じていない場合、前記第 1 画素の前記実装電極を、電氣的にフローティング状態に維持し、

前記複数の画素のうち第 2 画素の第 1 色の前記副画素の前記第 1 色の前記発光素子に発光不良が生じている場合、

20

前記第 2 画素の前記第 1 色の発光素子にレーザ光を照射し、

前記第 2 画素の前記実装電極の上に前記第 1 色の追加発光素子を実装し、前記追加発光素子の第 1 電極を前記実装電極に電氣的に接続し、

前記第 2 画素において、前記実装電極を、前記第 1 色の副画素の前記駆動トランジスタに電氣的に接続する、
表示パネルの製造方法。

【請求項 11】

前記実装電極を、前記第 1 色の副画素の前記駆動トランジスタに電氣的に接続する際、前記第 2 画素において、前記第 1 色の副画素の前記画素電極と前記実装電極とを接続した配線層を前記第 1 絶縁層の上に形成する、
請求項 10 に記載の表示パネルの製造方法。

30

【請求項 12】

前記配線層を形成する際、レーザ CVD 法によるメタライズ層を形成する、
請求項 11 に記載の表示パネルの製造方法。

【請求項 13】

前記配線層を形成する際、前記配線層を前記第 2 画素の前記実装電極の上に形成し、

前記配線層を形成した後、前記追加発光素子を前記配線層の上に実装し、

前記配線層は、前記第 2 画素の前記実装電極と前記追加発光素子との間に位置している

40

、
請求項 11 又は 12 に記載の表示パネルの製造方法。

【請求項 14】

前記追加発光素子を実装し、かつ、前記配線層を形成した後、

前記複数の画素電極、前記複数の実装電極、及び前記配線層の上に位置し、前記複数の画素電極、前記複数の実装電極、及び前記配線層を覆い、前記複数の発光素子及び前記追加発光素子を露出させた第 2 絶縁層をさらに形成する、
請求項 11 に記載の表示パネルの製造方法。

【請求項 15】

前記第 2 絶縁層、前記複数の発光素子、及び前記追加発光素子の上に、前記複数の副画素で共用される共通電極を形成し、

50

前記共通電極を、前記複数の発光素子及び前記追加発光素子のそれぞれの第2電極に電氣的に接続させる、

請求項14に記載の表示パネルの製造方法。

【請求項16】

1つの画素内において、第1色マイクロ発光ダイオードと、第2色マイクロ発光ダイオードと、第3色マイクロ発光ダイオードと、前記第1色マイクロ発光ダイオードが実装される第1電極と、前記第2色マイクロ発光ダイオードが実装される第2電極と、前記第3色マイクロ発光ダイオードが実装される第3電極と、第4電極と、を備え、

前記第1色マイクロ発光ダイオード、前記第2色マイクロ発光ダイオード、前記第3色マイクロ発光ダイオードは、それぞれ異なる色であり、

前記第4電極は電氣的にフローティング状態にある、
基板。

10

【請求項17】

前記第4電極は第1方向において前記第2電極に隣合い、前記第1方向に垂直な第2方向において前記第1電極に隣合い、

前記第3電極は前記第1方向において前記第1電極に隣合い、前記第2方向において前記第2電極に隣合う、

請求項16に記載の基板。

【請求項18】

前記第1電極、前記第2電極、前記第3電極は第1方向において間隔を置いて並び、

前記第4電極は前記第1方向と垂直な第2方向において、前記第1から前記第3電極のうち少なくとも一つの電極と対向する、

請求項16に記載の基板。

20

【請求項19】

さらに、前記第1から前記第4電極を覆う無機絶縁膜を備え、

前記無機絶縁膜は前記画素内において第1開口部、第2開口部、第3開口部、第4開口部を有し、

前記第1色マイクロ発光ダイオードは前記第1開口部を介して前記第1電極と接続し、

前記第2色マイクロ発光ダイオードは前記第2開口部を介して前記第2電極と接続し、

前記第3色マイクロ発光ダイオードは前記第3開口部を介して前記第3電極と接続し、

前記第4開口部は前記第4電極を露出し、

前記第4電極には前記第1色から前記第3色マイクロ発光ダイオードのいずれも接続されていない、

請求項16に記載の基板。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、表示パネル、表示パネルの製造方法、及び基板に関する。

【背景技術】

【0002】

表示パネルとして、自発光素子である発光ダイオード(LED: Light Emitting Diode)を用いたLED表示パネルが知られている。近年では、より高精細な表示パネルとして、マイクロLEDと称される微小な発光ダイオードをアレイ基板に実装した表示パネル(以下、マイクロLED表示パネルと称する)が開発されている。

マイクロLEDディスプレイは、従来の液晶ディスプレイや有機ELディスプレイと異なり、表示領域に、チップ状の多数のマイクロLEDが実装されて形成されるため、高精細化と大型化の両立が容易であり、次世代の表示パネルとして注目されている。

40

【先行技術文献】

【特許文献】

【0003】

50

【特許文献1】特開2018-10309号公報

【特許文献2】特開2009-151098号公報

【特許文献3】特開2018-41752号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本実施形態は、リペアを容易に行うことが可能な表示パネル、表示パネルの製造方法、及び基板を提供する。

【課題を解決するための手段】

【0005】

一実施形態に係る表示パネルは、

基板と、前記基板の上に設けられた第1絶縁層と、前記基板の上に設けられ表示領域に位置しそれぞれ複数色の副画素を含む複数の画素と、を備え、各々の前記副画素は、第1絶縁層で覆われた駆動トランジスタと、前記第1絶縁層の上に配置され、前記駆動トランジスタに電氣的に接続され、前記駆動トランジスタから電流値が制御された信号が与えられる画素電極と、前記画素電極の上に実装され、前記画素電極に電氣的に接続された第1電極を含む発光素子と、を有し、各々の前記画素は、前記第1絶縁層の上に配置され前記画素電極に間隔を置いて位置した実装電極を有し、前記複数の画素のうち第1画素において、前記実装電極は、電氣的にフローティング状態にある。

【0006】

また、一実施形態に係る表示パネルの製造方法は、

基板と、前記基板の上に設けられた第1絶縁層と、前記基板の上に設けられ表示領域に位置しそれぞれ複数色の副画素を含む複数の画素と、を備え、各々の前記副画素は、第1絶縁層で覆われた駆動トランジスタと、前記第1絶縁層の上に配置され、前記駆動トランジスタに電氣的に接続され、前記駆動トランジスタから電流値が制御された信号が与えられる画素電極と、前記画素電極の上に実装され、前記画素電極に電氣的に接続された第1電極を含む発光素子と、を有し、各々の前記画素は、前記第1絶縁層の上に配置され前記画素電極に間隔を置いて位置し電氣的にフローティング状態にある実装電極を有する、パネルを用意し、前記パネルを用意した後、前記複数の発光素子に発光不良が生じているかどうか検査し、前記複数の画素のうち第1画素の前記複数の発光素子に発光不良が生じていない場合、前記第1画素の前記実装電極を、電氣的にフローティング状態に維持し、前記複数の画素のうち第2画素の第1色の前記副画素の前記第1色の前記発光素子に発光不良が生じている場合、前記第2画素の前記第1色の発光素子にレーザ光を照射し、前記第2画素の前記実装電極の上に前記第1色の追加発光素子を実装し、前記追加発光素子の第1電極を前記実装電極に電氣的に接続し、前記第2画素において、前記実装電極を、前記第1色の副画素の前記駆動トランジスタに電氣的に接続する。

【0007】

また、一実施形態に係る基板は、

1つの画素内において、第1色マイクロ発光ダイオードと、第2色マイクロ発光ダイオードと、第3色マイクロ発光ダイオードと、前記第1色マイクロ発光ダイオードが実装される第1電極と、前記第2色マイクロ発光ダイオードが実装される第2電極と、前記第3色マイクロ発光ダイオードが実装される第3電極と、第4電極と、を備え、前記第1色マイクロ発光ダイオード、前記第2色マイクロ発光ダイオード、前記第3色マイクロ発光ダイオードは、それぞれ異なる色であり、前記第4電極は電氣的にフローティング状態にある。

【図面の簡単な説明】

【0008】

【図1】図1は、一実施形態に係る表示装置の構成を示す斜視図である。

【図2】図2は、上記表示装置を示す回路図である。

【図3】図3は、上記実施形態の副画素を示す等価回路図である。

10

20

30

40

50

【図４】図４は、図１に示した表示パネルを示す部分断面図である。

【図５】図５は、図１に示した画素のレイアウトを示す平面図であり、各種配線と、画素電極と、実装電極とを示す図である。

【図６】図６は、上記実施形態の第１画素及び第２画素を示す平面図であり、画素電極と、実装電極と、発光素子と、配線層とを示す図である。

【図７】図７は、図６の線ⅤⅠⅠ-ⅤⅠⅠに沿った表示パネルを示す断面図であり、第１画素を示す図である。

【図８】図８は、図６の線ⅤⅠⅠⅠ-ⅤⅠⅠⅠに沿った表示パネルを示す断面図であり、第２画素を示す図である。

【図９】図９は、上記実施形態に係る表示装置の製造方法を説明するための図であり、発光素子にレーザ光を照射している状態を示す図である。

【図１０】図１０は、図９に続き、上記製造方法を説明するための図であり、実装電極の上に追加発光素子を実装し、画素電極と実装電極とを接続する配線層を形成した状態を示す図である。

【図１１】図１１は、上記実施形態の変形例１に係る表示装置の一部を示す断面図である。

【図１２】図１２は、上記実施形態の変形例２に係る表示装置の第１画素及び第２画素を示す平面図であり、画素電極と、実装電極と、発光素子と、配線層とを示す図である。

【発明を実施するための形態】

【０００９】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【００１０】

（一実施形態）

まず、一実施形態に係る表示装置について説明する。図１は、一実施形態に係る表示装置１の構成を示す斜視図である。図１は、本実施形態に係る表示装置１の構成を示す斜視図である。図１は、第１方向 X と、第１方向 X に垂直な第２方向 Y と、第１方向 X 及び第２方向 Y に垂直な第３方向 Z によって規定される三次元空間を示している。なお、第１方向 X 及び第２方向 Y は、互いに直交しているが、 90° 以外の角度で交差していてもよい。また、本実施形態において、第３方向 Z を上と定義し、第３方向 Z と反対側の方向を下と定義する。「第１部材の上の第２部材」及び「第１部材の下の第２部材」とした場合、第２部材は、第１部材に接していてもよく、第１部材から離れて位置していてもよい。

【００１１】

以下、本実施形態においては、表示装置１が自発光素子であるマイクロ発光ダイオード（以下、マイクロ LED （Light Emitting Diode）と称する）を用いたマイクロ LED 表示装置である場合について主に説明する。

【００１２】

図１に示すように、表示装置１は、表示パネル２、第１回路基板３、及び第２回路基板４等を備えている。なお、表示パネル２を基板と称する場合もある。

表示パネル２は、一例では矩形の形状を有している。図示した例では、表示パネル２の短辺 EX は、第１方向 X と平行であり、表示パネル２の長辺 EY は、第２方向 Y と平行である。第３方向 Z は、表示パネル２の厚さ方向に相当する。表示パネル２の主面は、第１方向 X と第２方向 Y とにより規定される $X-Y$ 平面に平行である。表示パネル２は、表示領域 DA 、及び表示領域 DA 以外の非表示領域 NDA を有している。非表示領域 NDA は、端子領域 MT を有している。図示した例では、非表示領域 NDA は、表示領域 DA を囲

10

20

30

40

50

んでいる。

【0013】

表示領域DAは、画像を表示する領域であり、例えばマトリクス状に配置された複数の画素PXを備えている。

端子領域MTは、表示パネル2の短辺EXに沿って設けられ、表示パネル2を外部装置などと電氣的に接続するための端子を含んでいる。

【0014】

第1回路基板3は、端子領域MTの上に実装され、表示パネル2と電氣的に接続されている。第1回路基板3は、例えばフレキシブルプリント回路基板である。第1回路基板3は、表示パネル2を駆動する駆動ICチップ（以下、パネルドライバと表記）5などを備えている。なお、図示した例では、パネルドライバ5は、第1回路基板3の上に実装されているが、第1回路基板3の下に実装されていてもよい。又は、パネルドライバ5は、第1回路基板3以外に実装されていてもよく、例えば第2回路基板4に実装されていてもよい。第2回路基板4は、例えばフレキシブルプリント回路基板である。第2回路基板4は、第1回路基板3の例えば下方において第1回路基板3と接続されている。

10

【0015】

上記したパネルドライバ5は、例えば第2回路基板4を介して制御基板（図示せず）と接続されている。パネルドライバ5は、例えば制御基板から出力される映像信号に基づいて複数の画素PXを駆動することによって表示パネル2に画像を表示する制御を実行する。

20

【0016】

なお、表示パネル2は、斜線を付して示す折り曲げ領域BAを有していてもよい。折り曲げ領域BAは、表示装置1が電子機器等の筐体に収容される際に折り曲げられる領域である。折り曲げ領域BAは、非表示領域NDAのうち端子領域MT側に位置している。折り曲げ領域BAが折り曲げられた状態において、第1回路基板3及び第2回路基板4は、表示パネル2と対向するように、表示パネル2の下方に配置される。

【0017】

図2は、表示装置1を示す回路図である。図3は、本実施形態の副画素SPを示す等価回路図である。なお、図2において、各種の配線の全てについて図示していない。

図2及び図3に示すように、表示パネル2は、樹脂基板、ガラス基板等の光透過性を有する絶縁性の絶縁基板20、表示領域DAにて絶縁基板20の上にマトリクス状に配列された複数の画素PX、及び各種配線、走査線駆動回路YDR1、YDR2、及び信号線駆動回路XDRを備えている。

30

【0018】

各種配線は、複数本の第1走査線Sgaと、複数本の第2走査線Sgbと、複数本の第3走査線Sgcと、複数本の第4走査線Sgdと、複数本の映像信号線VLと、複数本の高電位電源線SLaと、複数本のリセット配線Sgrと、複数本の初期化配線Sgiと、を有している。

【0019】

本実施形態において、第1走査線Sga、第3走査線Sgc、及び第4走査線Sgdは、走査線駆動回路YDR1に接続され、第1方向Xに延出して設けられている。第2走査線Sgbは、走査線駆動回路YDR2に接続され、第1方向Xに延出して設けられている。映像信号線VLは、信号線駆動回路XDRに接続され、第2方向Yに延出して設けられている。高電位電源線SLa、リセット配線Sgr、及び初期化配線Sgiは、第2方向Yに延出して設けられている。表示パネル2は、高電位Pvddに固定される高電位電源線SLaだけでなく、低電位Pvssに固定される低電位電源線SLbも有している。高電位電源線SLaは高電位電源に接続され、低電位電源線SLbは低電位電源に接続されている。

40

【0020】

走査線駆動回路YDR1は、第1走査線Sga、第3走査線Sgc、及び第4走査線S

50

gdを駆動するように構成されている。走査線駆動回路YDR2は、第2走査線Sgbを駆動するように構成されている。信号線駆動回路XDRは、映像信号線VLを駆動するように構成されている。走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRは、非表示領域NDAにて絶縁基板20の上に形成され、パネルドライバ5とともに駆動部7を構成している。

【0021】

各々の画素PXは、複数の副画素SPを有している。各々の副画素SPは、発光素子10と、発光素子10に駆動電流を与える画素回路と、を含んでいる。発光素子10は、例えば自己発光素子であり、本実施形態では、マイクロ発光ダイオード（以下、マイクロLED（Light Emitting Diode）と称する）である。本実施形態の表示装置1は、マイクロLED表示装置である。

10

【0022】

各副画素SPの画素回路は、電圧信号からなる映像信号Vsigに応じて発光素子10の発光を制御する電圧信号方式の画素回路であり、リセットスイッチRST、画素スイッチSST、初期化スイッチIST、出力スイッチBCT、駆動トランジスタDRT、保持容量Cs、及び補助容量Cadを有している。保持容量Cs及び補助容量Cadは、キャパシタである。補助容量Cadは発光電流量を調整するために設けられる素子であり、場合によっては不要となる場合もある。

【0023】

リセットスイッチRST、画素スイッチSST、初期化スイッチIST、出力スイッチBCT、及び駆動トランジスタDRTは、TFT（薄膜トランジスタ）により構成されている。本実施形態において、リセットスイッチRST、画素スイッチSST、初期化スイッチIST、出力スイッチBCT、及び駆動トランジスタDRTは、同一導電型、例えばNチャンネル型のTFTにより構成されている。なお、リセットスイッチRST、画素スイッチSST、初期化スイッチIST、出力スイッチBCT、及び駆動トランジスタDRTの一以上は、Pチャンネル型のTFTにより構成されていてもよい。その場合、Nチャンネル型のTFTとPチャンネル型のTFTを同時に形成してもよい。リセットスイッチRST、画素スイッチSST、初期化スイッチIST、及び出力スイッチBCTは、スイッチとして機能すればよく、TFTで構成されていなくともよい。

20

【0024】

本実施形態に係る表示装置1において、駆動トランジスタDRT及び各スイッチをそれぞれ構成したTFTは全て同一工程、同一層構造で形成され、半導体層に多結晶シリコンを用いたトップゲート構造の薄膜トランジスタである。なお、半導体層は、非晶質シリコン、酸化物半導体など、多結晶シリコン以外の半導体を利用してもよい。

30

【0025】

リセットスイッチRST、画素スイッチSST、初期化スイッチIST、出力スイッチBCT、及び駆動トランジスタDRTは、それぞれ、第1端子、第2端子、及び制御端子を有している。本実施形態では、第1端子をソース電極、第2端子をドレイン電極、制御端子をゲート電極としている。

【0026】

画素PXの画素回路において、駆動トランジスタDRT及び出力スイッチBCTは、高電位電源線SLaと低電位電源線SLbとの間で発光素子10と直列に接続されている。高電位電源線SLa（高電位Pvdd）は例えば10Vの電位に設定され、低電位電源線SLb（低電位Pvss）は、例えば1.5Vの電位に設定されている。

40

【0027】

出力スイッチBCTにおいて、ドレイン電極は高電位電源線SLaに接続され、ソース電極は駆動トランジスタDRTのドレイン電極に接続され、ゲート電極は第2走査線Sgbに接続されている。これにより、出力スイッチBCTは、第2走査線Sgbに与えられる制御信号BGによりオン（導通状態）、オフ（非導通状態）制御される。出力スイッチBCTは、制御信号BGに応答して、発光素子10の発光時間を制御する。

50

【0028】

駆動トランジスタDRTにおいて、ドレイン電極は出力スイッチBC Tのソース電極に接続され、ソース電極は発光素子10の一方の電極(ここでは陽極)に接続されている。発光素子10の他方の電極(ここでは陰極)は、低電位電源線SL bに接続されている。駆動トランジスタDRTは、映像信号V s i gに応じた電流量の駆動電流を発光素子10に出力する。

【0029】

画素スイッチSSTにおいて、ソース電極は映像信号線VLに接続され、ドレイン電極は駆動トランジスタDRTのゲート電極に接続され、ゲート電極は信号書き込み制御用ゲート配線として機能する第3走査線S g cに接続されている。画素スイッチSSTは、第3走査線S g cから供給される制御信号SGによりオン、オフ制御される。そして、画素スイッチSSTは、制御信号SGに应答して、画素回路と映像信号線VLとの接続、非接続を制御し、映像信号線VLから映像信号V s i gを画素回路に取り込む。

10

【0030】

初期化スイッチISTにおいて、ソース電極は初期化配線S g iに接続され、ドレイン電極は駆動トランジスタDRTのゲート電極に接続され、ゲート電極は第1走査線S g aに接続されている。初期化スイッチISTは、第1走査線S g aから供給される制御信号IGによりオン、オフ制御される。そして、初期化スイッチISTは、制御信号IGに应答して、画素回路と初期化配線S g iとの接続、非接続を制御する。画素回路と初期化配線S g iとを初期化スイッチISTにて接続することにより、初期化配線S g iから初期化電位(初期化電圧)V i n iを画素回路に取り込むことができる。

20

【0031】

リセットスイッチRSTは、駆動トランジスタDRTのソース電極とリセット配線S g rとの間に接続されている。リセットスイッチRSTのゲート電極はリセット制御用ゲート配線として機能する第4走査線S g dに接続されている。上記のように、リセット配線S g rは、リセット電源に接続され、定電位であるリセット電位V r s tに固定される。リセットスイッチRSTは、第4走査線S g dを通して与えられる制御信号RGに応じて、導通状態(オン)又は非導通状態(オフ)に切替えられる。リセットスイッチRSTがオン状態に切替えられることにより、駆動トランジスタDRTのソース電極の電位をリセット電位V r s tにリセットすることができる。

30

【0032】

保持容量Csは、駆動トランジスタDRTのゲート電極とソース電極との間に接続されている。補助容量Cadは、駆動トランジスタDRTのソース電極と定電位の配線としての高電位電源線SL aとの間に接続されている。

【0033】

一方、図2に示すパネルドライバ5は、走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRを制御する。パネルドライバ5は外部から供給されるデジタル映像信号及び同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、および水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生する。

【0034】

そして、パネルドライバ5は、これら垂直走査制御信号及び水平走査制御信号をそれぞれ走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRに供給するとともに、水平及び垂直走査タイミングに同期してデジタル映像信号及び初期化信号を信号線駆動回路XDRに供給する。

40

【0035】

信号線駆動回路XDRは、水平走査制御信号の制御により各水平走査期間において順次得られる映像信号をアナログ形式に変換し階調に応じた映像信号V s i gを複数の映像信号線VLに供給する。パネルドライバ5は、高電位電源線SL aを高電位P v d dに固定し、リセット配線S g rをリセット電位V r s tに固定し、初期化配線S g iを初期化電位V i n iに固定する。なお、高電位電源線SL aの電位、リセット配線S g rの電位、

50

及び初期化配線 S g i の電位は、信号線駆動回路 X D R を介して設定されてもよい。

【 0 0 3 6 】

走査線駆動回路 Y D R 1、Y D R 2 には、パネルドライバ 5 よりスタートパルス信号 S T V、クロック信号 C K V などが与えられる。

走査線駆動回路 Y D R 1、Y D R 2 は、図示しないシフトレジスタ、出力バッファ等を含み、スタートパルス信号 S T V を順次次段のシフトレジスタに転送し、出力バッファを介して各行の副画素 S P に 4 種類の制御信号、すなわち、制御信号 I G、B G、S G、R G を供給する。これにより、第 1 走査線 S g a、第 2 走査線 S g b、第 3 走査線 S g c、及び第 4 走査線 S g d は、それぞれ制御信号 I G、B G、S G、R G により駆動される。

【 0 0 3 7 】

次に、図 4 を参照して、駆動トランジスタ D R T、リセットスイッチ R S T、画素電極 P E、実装電極 S E、発光素子 1 0、低電位電源線 S L b、共通電極 C E などについて説明する。図 4 は、図 1 に示した表示パネル 2 を示す部分断面図である。なお、図 4 では、表示パネル 2 を、表示面、すなわち光出射面が上方を向き、背面が下方を向くように描いている。

【 0 0 3 8 】

図 4 に示すように、表示パネル 2 は、絶縁基板（基板）2 0 と、絶縁基板 2 0 の上に設けられた絶縁層 2 1、2 2、2 3、2 4、2 5、2 6 と、複数の画素 P X と、を備えている。複数の画素 P X は、絶縁基板 2 0 の上に設けられ、表示領域 D A に位置し、複数色の副画素 S P を含んでいる。

【 0 0 3 9 】

絶縁基板 2 0 としては、主に、石英、無アルカリガラス等のガラス基板、またはポリイミド等の樹脂基板を用いることができる。絶縁基板 2 0 の材質は、T F T を製造する際の処理温度に耐える材質であればよい。絶縁基板 2 0 が可撓性を有する樹脂基板である場合、表示装置 1 をシートディスプレイとして構成することができる。樹脂基板としては、ポリイミドに限らず、他の樹脂材料を用いてもよい。なお、絶縁基板 2 0 にポリイミドなどを用いる場合、絶縁基板 2 0 を有機絶縁層又は樹脂層と称した方が適当な場合があり得る。

【 0 0 4 0 】

絶縁層 2 1 は、絶縁基板 2 0 上に設けられている。絶縁層 2 1 の上に、各種の T F T が形成されている。表示領域 D A において、絶縁層 2 1 の上に駆動トランジスタ D R T、リセットスイッチ R S T などが形成され、非表示領域 N D A において、絶縁層 2 1 の上に走査線駆動回路 Y D R を構成する T F T などが形成されている。駆動トランジスタ D R T などの T F T は、半導体層 S C と、ゲート電極 G E と、第 1 電極 E 1 と、第 2 電極 E 2 と、を備えている。

【 0 0 4 1 】

半導体層 S C は、絶縁層 2 1 の上に配置されている。絶縁層 2 2 は、絶縁層 2 1 及び半導体層 S C の上に設けられている。ゲート電極 G E は、絶縁層 2 2 の上に配置され、半導体層 S C のチャネル領域と対向している。絶縁層 2 3 は、絶縁層 2 2 及びゲート電極 G E の上に設けられている。第 1 電極 E 1 及び第 2 電極 E 2 は、絶縁層 2 3 の上に配置されている。第 1 電極 E 1 及び第 2 電極 E 2 は、それぞれ絶縁層 2 2 及び絶縁層 2 3 に形成されたコンタクトホールを通り、対応する半導体層 S C に電氣的に接続されている。

【 0 0 4 2 】

本実施形態において、絶縁層 2 2 の上に、導電層 C L が形成されている。駆動トランジスタ D R T の第 1 電極 E 1 は、対応する半導体層 S C だけではなく、導電層 C L にも電氣的に接続されている。リセットスイッチ R S T の第 2 電極 E 2 は、対応する半導体層 S C だけではなく、導電層 C L にも電氣的に接続されている。そのため、駆動トランジスタ D R T 及びリセットスイッチ R S T は、導電層 C L を介して電氣的に接続されている。

非表示領域 N D A において、低電位電源線 S L b は、絶縁層 2 3 の上に配置されている。絶縁層 2 4 は、絶縁層 2 3、第 1 電極 E 1、第 2 電極 E 2、及び低電位電源線 S L b の

10

20

30

40

50

上に設けられている。

【0043】

第1導電層CL1及び第2導電層CL2は、絶縁層24の上に配置されている。第1導電層CL1は、絶縁層24に形成されたコンタクトホールを通り第1電極E1に電氣的に接続されている。第2導電層CL2は、絶縁層24に形成されたコンタクトホールを通り第2電極E2に電氣的に接続されている。

【0044】

絶縁層25は、絶縁層24、第1導電層CL1、及び第2導電層CL2の上に設けられている。絶縁層25は、第1絶縁層として機能している。画素電極PE及び実装電極SEは、絶縁層25の上に配置されている。画素電極PEは、絶縁層25に形成されたコンタクトホールCHを通り第1導電層CL1に電氣的に接続されている。実装電極SEは、電氣的にフローティング状態にある。

10

【0045】

ここで、絶縁層21、22、23、24、25、26は、無機絶縁材料又は有機絶縁材料で形成されている。本実施形態において、絶縁層21、22、23、25、26は、無機絶縁材料として、例えばシリコン酸化物(SiO₂)、又はシリコン窒化物(SiN)で形成されている。絶縁層24は、有機絶縁材料として、例えば感光性アクリルで形成されている。

半導体層SCは、ポリシリコンとして低温ポリシリコンで形成されている。但し、半導体層SCは、アモルファスシリコン、酸化物半導体など、ポリシリコン以外の半導体で形成されていてもよい。ゲート電極GE及び導電層CLは、同層に位置し、同一の導電材料として金属で形成されている。例えば、ゲート電極GE及び導電層CLは、MoW(モリブデン・タングステン)で形成されている。

20

【0046】

第1電極E1、第2電極E2、及び低電位電源線SLbは、同層に位置し、同一の導電材料として金属で形成されている。例えば、第1電極E1、第2電極E2、及び低電位電源線SLbは、それぞれ三層積層構造(Ti系/Al系/Ti系)が採用され、Ti(チタン)、Tiを含む合金などTiを主成分とする金属材料からなる下層と、Al(アルミニウム)、Alを含む合金などAlを主成分とする金属材料からなる中間層と、Ti、Tiを含む合金などTiを主成分とする金属材料からなる上層と、を有している。ここではトップゲート型のTFETを例として説明しているが、TFETはボトムゲート型のTFETであってもよい。

30

駆動トランジスタDRTなどのスイッチは、絶縁層25で覆われている。

【0047】

第1導電層CL1及び第2導電層CL2は、同層に位置し、同一の導電材料として金属又は透明導電材料で形成されている。画素電極PE及び実装電極SEは、同層に位置し、同一の導電材料として金属で形成されている。例えば、画素電極PE及び実装電極SEは、それぞれ、単一の導電層、三層積層構造、又は二層積層構造を有している。

【0048】

三層積層構造において、画素電極PE及び実装電極SEは、Ti系/Al系/Ti系に限らず、Mo系/Al系/Mo系であってもよい。Mo系/Al系/Mo系において、画素電極PE及び実装電極SEは、Mo(モリブデン)、Moを含む合金などMoを主成分とする金属材料からなる下層と、Al、Alを含む合金などAlを主成分とする金属材料からなる中間層と、Mo、Moを含む合金などMoを主成分とする金属材料からなる上層と、を有している。

40

【0049】

二層積層構造において、画素電極PE及び実装電極SEは、Alを主成分とする金属材料からなる下層と、Tiを主成分とする金属材料からなる上層と、を有している。又は、画素電極PE及び実装電極SEは、それぞれ、Moを主成分とする金属材料からなる下層と、Alを主成分とする金属材料からなる上層と、を有している。なお、画素電極PE及

50

び実装電極 S E は、透明導電材料で形成されていてもよい。

【 0 0 5 0 】

各々の画素 P X は、実装電極 S E を有している。実装電極 S E は、絶縁層 2 5 の上に配置され、画素電極 P E に間隔を置いて位置している。画素電極 P E は、駆動トランジスタ D R T に電氣的に接続され、駆動トランジスタ D R T から電流値が制御された信号が与えられる。

【 0 0 5 1 】

絶縁層 2 6 は、絶縁層 2 5、画素電極 P E、及び実装電極 S E の上に設けられている。絶縁層 2 6 は、第 2 絶縁層として機能している。図示しないが、絶縁層 2 6 は、複数の画素電極 P E 及び複数の実装電極 S E の上に位置し、複数の画素電極 P E 及び複数の実装電極 S E を覆い、複数の発光素子 1 0 を露出させている。絶縁層 2 6 は、画素電極 P E の表面の一部に発光素子 1 0 を実装するための開口と、実装電極 S E の表面の一部を露出させる開口と、を有している。絶縁層 2 6 の上記開口の大きさは、発光素子 1 0 の実装工程における実装ずれ量等を考慮し、発光素子 1 0 よりも一回り大きめのサイズである。例えば、発光素子 1 0 が実質的に $10 \mu\text{m} \times 10 \mu\text{m}$ の実装面積である場合、上記開口は実質的に $20 \mu\text{m} \times 20 \mu\text{m}$ は確保されることが好ましい。

10

【 0 0 5 2 】

表示領域 D A において、画素電極 P E の上に発光素子 1 0 が実装されている。発光素子 1 0 は、第 1 電極としての陽極 A N と、第 2 電極としての陰極 C A と、光を放出する発光層 L I と、を有している。発光素子 1 0 は、第 1 色、第 2 色、及び第 3 色の発光色を有するものがそれぞれ用意されており、陽極 A N は、対応する画素電極 P E に電氣的に接続され、固定されている。本実施形態において、第 1 色は赤色 (R) であり、第 2 色は緑色 (G) であり、第 3 色は青色 (B) である。

20

【 0 0 5 3 】

発光素子 1 0 の陽極 A N と画素電極 P E との間の接合は、両者の間で良好な導通が確保でき、かつ、絶縁基板 2 0 から絶縁層 2 6 までの積層構造を破損しないものであれば特に限定されるものではない。例えば低温溶融のはんだ材料を用いたリフロー工程や、導電ペーストを介して発光素子 1 0 を画素電極 P E 上に載せた後に焼成結合する等の手法、あるいは画素電極 P E の表面と、発光素子 1 0 の陽極 A N とに同系材料を用い、超音波接合等の固相接合の手法を採用することができる。発光素子 1 0 は、画素電極 P E に電氣的に接続されている陽極 A N の反対側に陰極 C A を有している。

30

【 0 0 5 4 】

発光素子 1 0 が実装された後、絶縁層 2 5、画素電極 P E、実装電極 S E、及び絶縁層 2 6 の上に、素子絶縁層 3 1 が設けられている。素子絶縁層 3 1 は、発光素子 1 0 の間の空隙部に充填され、樹脂材料で形成されている。素子絶縁層 3 1 は、発光素子 1 0 のうち陰極 C A の表面を露出させている。

【 0 0 5 5 】

共通電極 C E は、少なくとも表示領域 D A に位置し、絶縁層 2 6、及び複数の発光素子 1 0 の上に配置され、複数の画素の発光素子 1 0 を覆っている。共通電極 C E は、複数の陰極 C A の共通電極 C E 側の表面と素子絶縁層 3 1 の上に配置され、複数の陰極 C A に接触し、複数の陰極 C A と電氣的に接続されている。共通電極 C E は、複数の副画素 S P で共用されている。

40

【 0 0 5 6 】

共通電極 C E は、非表示領域 N D A に延在し、非表示領域 N D A において、低電位電源線 S L b に電氣的に接続されている。共通電極 C E は、素子絶縁層 3 1、絶縁層 2 6、絶縁層 2 5、及び絶縁層 2 4 に形成されたコンタクトホールを通り低電位電源線 S L b にコンタクトしている。そのため、共通電極 C E は、低電位電源線 S L b の電位と同一の定電位に保持され、低電位電源線 S L b と全ての発光素子 1 0 の陰極 C A とを電氣的に接続している。

【 0 0 5 7 】

50

共通電極 C E は、発光素子 1 0 からの出射光を取り出すために、透明電極として形成する必要があり、透明導電材料として例えば I T O を用いて形成される。一方、発光素子 1 0 の側壁部分が保護膜等で絶縁されている場合は、必ずしも樹脂材料等で間隙を充填する必要はなく、樹脂材料は、陽極 A N と、陽極 A N から露出した画素電極 P E の表面と、実装電極 S E の表面とを少なくとも絶縁できればよい。この場合、発光素子 1 0 の陰極 C A まで達しないような膜厚で素子絶縁層 3 1 を形成し、続けて上記共通電極 C E を形成する。共通電極 C E が形成される表面には発光素子 1 0 の実装に伴う凹凸の一部が残存しているが、共通電極 C E を形成する材料が段切れすることなく連続的に覆うことができればよい。

【 0 0 5 8 】

上記のように、表示パネル 2 は、絶縁基板 2 0 から共通電極 C E までの構造を有している。本実施形態に係る発光素子 1 0 を表示素子として用いる表示装置 1 は、例えば以上のように構成されている。なお、必要に応じて、共通電極 C E の上にカバーガラスなどのカバー部材やタッチパネル基板等が設けられてもよい。

【 0 0 5 9 】

次に、画素 P X のレイアウトについて説明する。図 5 は、図 1 に示した画素 P X のレイアウトを示す平面図であり、各種配線と、画素電極 P E と、実装電極 S E とを示す図である。

図 5 に示すように、各々の画素 P X は、複数の副画素 S P を有している。本実施形態において、各々の画素 P X は、第 1 色の副画素 S P a、第 2 色の副画素 S P b、及び第 3 色の副画素 S P c の 3 色の副画素 S P を有している。副画素 S P a は画素電極 P E a を有し、副画素 S P b は画素電極 P E b を有し、副画素 S P c は画素電極 P E c を有している。

【 0 0 6 0 】

画素電極 P E a は、第 2 方向 Y に実装電極 S E と隣り合っている。画素電極 P E b は、第 1 方向 X に実装電極 S E と隣り合っている。画素電極 P E c は、第 1 方向 X に画素電極 P E a と隣り合い、第 2 方向 Y に画素電極 P E b と隣り合っている。平面視において、画素電極 P E a のサイズは、画素電極 P E b 及び画素電極 P E c の各々のサイズより大きい。実装電極 S E のサイズは、画素電極 P E a のサイズと実質的に同一であり、画素電極 P E b 及び画素電極 P E c の各々のサイズより大きい。

【 0 0 6 1 】

画素電極 P E は、発光素子 1 0 を実装するための第 1 領域 R 1 と、後述するリペアの際に画素電極 P E と実装電極 S E とを接続するための第 2 領域 R 2 と、第 1 導電層 C L 1 と電氣的に接続するための第 3 領域 R 3 と、を有している。実装電極 S E は、上記第 1 領域 R 1 及び上記第 2 領域 R 2 を有している。画素電極 P E a 及び画素電極 P E b において、第 2 領域 R 2 及び第 3 領域 R 3 は隣り合っている、又は一部重畳している。画素電極 P E c において、第 2 領域 R 2 及び第 3 領域 R 3 は距離を置いて位置している。各々の画素 P X において、複数の第 2 領域 R 2 は、互いに近接して位置している。

【 0 0 6 2 】

次に、表示パネル 2 の複数の画素 P X のうち、第 1 画素 P X 1 及び第 2 画素 P X 2 について説明する。図 6 は、本実施形態の第 1 画素 P X 1 及び第 2 画素 P X 2 を示す平面図であり、画素電極 P E と、実装電極 S E と、発光素子 1 0 と、配線層 W L とを示す図である。図 7 は、図 6 の線 V I I - V I I に沿った表示パネル 2 を示す断面図であり、第 1 画素 P X 1 を示す図である。図 8 は、図 6 の線 V I I I - V I I I に沿った表示パネル 2 を示す断面図であり、第 2 画素 P X 2 を示す図である。

図 6 に示すように、表示パネル 2 の複数の画素 P X は、第 1 画素 P X 1、第 2 画素 P X 2 などを含んでいる。

【 0 0 6 3 】

図 6 及び図 7 に示すように、第 1 画素 P X 1 において、画素電極 P E a の上に第 1 色の発光素子 1 0 a が実装され、画素電極 P E b の上に第 2 色の発光素子 1 0 b が実装され、画素電極 P E c の上に第 3 色の発光素子 1 0 c が実装されている。第 1 画素 P X 1 の発光

10

20

30

40

50

素子 10 は、全て正常な発光素子である。そのため、第 1 画素 P X 1 において、実装電極 S E は、電氣的にフローティング状態にある。実装電極 S E の上に追加発光素子は実装されていない。

絶縁層 26 は、第 1 画素 P X 1 内において、画素電極 P E a を露出する第 1 開口部 O P 1、及び実装電極 S E を露出する第 4 開口部 O P 4 を有している。発光素子 10 a は第 1 開口部 O P 1 を介して画素電極 P E a に接続されている。

図示しないが、絶縁層 26 は、第 1 画素 P X 1 内において、画素電極 P E b を露出する第 2 開口部、及び画素電極 P E c を露出する第 3 開口部をさらに有している。発光素子 10 b は上記第 2 開口部を介して画素電極 P E b に接続されている。発光素子 10 c は上記第 3 開口部を介して画素電極 P E c に接続されている。

10

【0064】

図 6 及び図 8 に示すように、一方、第 2 画素 P X 2 において、画素電極 P E a の上に第 1 色の発光素子 10 a が実装され、画素電極 P E b の上に第 2 色の発光素子 10 b が実装され、画素電極 P E c の上に第 3 色の発光素子 10 c が実装されている。第 2 画素 P X 2 において、発光素子 10 b、10 c は正常な発光素子であるが、第 1 色の発光素子 10 a は正常な発光素子ではない。第 2 画素 P X 2 において、電流は、画素電極 P E a と共通電極 C E との間を、発光素子 10 a を介して流れない。なお、第 2 画素 P X 2 の発光素子 10 a にダメージが与えられ、発光素子 10 a に陰極 C A が存在しない場合もあり得る。

【0065】

そのため、第 2 画素 P X 2 は、点灯しない発光素子 10 a と同一色の発光素子として、第 1 色の追加発光素子 11 a をさらに有している。第 2 画素 P X 2 に追加発光素子 11 a を設けることにより、第 2 画素 P X 2 にて発光色として第 1 色が不足する事態を回避することができる。

20

【0066】

追加発光素子 11 a は、マイクロ LED である。追加発光素子 11 a は、第 1 電極としての陽極 A N と、第 2 電極としての陰極 C A と、光を放出する発光層 L I と、を有している。追加発光素子 11 a は第 2 画素 P X 2 の実装電極 S E の上に実装され、追加発光素子 11 a の陽極 A N は実装電極 S E に電氣的に接続されている。第 2 画素 P X 2 において、実装電極 S E は、第 1 色の副画素 S P a の駆動トランジスタ D R T に電氣的に接続され駆動トランジスタ D R T から電流値が制御された信号が与えられる。第 2 画素 P X 2 において、第 1 色の副画素 S P a の駆動トランジスタ D R T から電流値が制御された信号が第 1 色の副画素 S P a の画素電極 P E a 及び実装電極 S E に与えられた際、発光素子 10 a は発光せず、追加発光素子 11 a は発光する。

30

【0067】

本実施形態において、実装電極 S E を副画素 S P a の駆動トランジスタ D R T に電氣的に接続するため、第 2 画素 P X 2 は配線層 W L をさらに有している。配線層 W L は、絶縁層 25 の上に位置し、第 2 画素 P X 2 の画素電極 P E a と実装電極 S E とを接続している。配線層 W L は、実装電極 S E の第 2 領域 R 2 と、画素電極 P E a の第 2 領域 R 2 と、に接している。一例として、配線層 W L はタングステン (W) を利用し、メタライズ層で形成されている。

40

【0068】

上記のように第 2 画素 P X 2 の追加発光素子 11 a 及び配線層 W L を考慮すると、絶縁層 26 は、複数の画素電極 P E、複数の実装電極 S E、及び配線層 W L の上に位置し、複数の画素電極 P E、複数の実装電極 S E、及び配線層 W L を覆い、複数の発光素子 10 及び追加発光素子 11 a を露出させている。共通電極 C E は、絶縁層 26、複数の発光素子 10、及び追加発光素子 11 a の上に配置されている。追加発光素子 11 a の陰極 C A は、それぞれ共通電極 C E に電氣的に接続されている。

【0069】

なお、複数の画素 P X に、第 2 画素 P X 2 以外に、点灯しない発光素子 10 を有する画素 P X が存在している場合、第 2 画素 P X 2 と同様に構成されていればよい。言い換える

50

と、点灯しない発光素子 10 を有する画素 P X に、第 1 色、第 2 色、又は第 3 色の追加発光素子 11 及び配線層 W L が付加され、実装電極 S E と点灯しない発光素子 10 が実装されている画素電極 P E とが配線層 W L で接続されていけばよい。

本実施形態の表示装置 1 は、上記のように構成されている。

発光素子 10 がマイクロ発光ダイオードである場合、発光素子 10 a を第 1 色マイクロ発光ダイオード、発光素子 10 b を第 2 色マイクロ発光ダイオード、発光素子 10 c を第 3 色マイクロ発光ダイオードと、それぞれ称する場合がある。また、画素電極 P E a を第 1 電極、画素電極 P E b を第 2 電極、画素電極 P E c を第 3 電極、実装電極 S E を第 4 電極と、それぞれ称する場合がある。

【0070】

次に、上記表示装置 1 の製造方法について説明する。ここでは、表示装置 1 の製造方法のうち、表示パネル 2 の製造方法について説明する。図 9 は、本実施形態に係る表示装置 1 の製造方法を説明するための図であり、発光素子 10 a にレーザ光を照射している状態を示す図である。図 10 は、図 9 に続き、上記製造方法を説明するための図であり、実装電極 S E の上に追加発光素子 11 a を実装し、画素電極 P E a と実装電極 S E とを接続する配線層 W L を形成した状態を示す図である。

【0071】

図 9 に示すように、表示パネル 2 の製造方法が開始されると、まず、絶縁基板 20 から絶縁層 26 までの積層構造を有するパネル P N L を用意する。パネル P N L は、表示パネル 2 のベースとなる構造体である。パネル P N L は、絶縁基板 20、絶縁層 25、複数色の副画素 S P を含む複数の画素 P X、及び絶縁層 26などを備えている。各々の副画素 S P は、駆動トランジスタ D R T、画素電極 P E、及び発光素子 10 を有している。この時点で、全ての画素 P X の実装電極 S E は、電氣的にフローティング状態にある。パネル P N L は、追加発光素子 11、素子絶縁層 31、及び共通電極 C E を有していない。

【0072】

上記のようにパネル P N L を用意した後、複数の発光素子 10 に発光不良が生じているかどうか検査する。検査する際、各々の発光素子 10 の陰極 C A にプローブを当てるなどし、発光素子 10 を電氣的に検査する。発光素子 10 に発光不良が生じているかどうかの判断は、例えば目視にて行うことができるが、センサを利用して機械的に判断することも可能である。なお、発光素子 10 の発光不良とは、発光素子 10 が全く点灯しない場合だけでなく、発光素子 10 から放出される光の輝度レベルが閾値未満となる場合も含まれている。以下、複数の画素 P X のうち第 1 画素 P X 1 及び第 2 画素 P X 2 に注目する。

【0073】

複数の画素 P X のうち第 1 画素 P X 1 の複数の発光素子 10 に発光不良が生じていないと判断した場合、第 1 画素 P X 1 の実装電極 S E を、電氣的にフローティング状態に維持する(図 6)。

【0074】

一方、複数の画素 P X のうち第 2 画素 P X 2 の発光素子 10 a に発光不良が生じている場合、第 2 画素 P X 2 の発光素子 10 a にレーザ光を照射し、発光素子 10 a にダメージを与え、発光素子 10 a を破損させる。その際、発光素子 10 a に陰極 C A が存在しなくなる場合があり得る。発光不良の発光素子 10 a を介して画素電極 P E a と共通電極 C E との間を電流が流れない方が望ましい。これにより、追加発光素子 11 a を流れる電流量の低下を抑制することができる。

【0075】

図 10 に示すように、続いて、第 2 画素 P X 2 の実装電極 S E の上に第 1 色の追加発光素子 11 a を実装し、追加発光素子 11 a の陽極 A N を実装電極 S E に電氣的に接続する。これにより、第 2 画素 P X 2 において、実装電極 S E を、副画素 S P a の駆動トランジスタ D R T に電氣的に接続することができる。

【0076】

次いで、第 2 画素 P X 2 において、実装電極 S E を、副画素 S P a の駆動トランジスタ

10

20

30

40

50

D R Tに電氣的に接続する。その際、画素電極 P E aと実装電極 S Eとを接続した配線層 W Lを絶縁層 2 5の上に形成する。配線層 W Lを形成する際、タングステンのガスの雰囲気の中でパネル P N Lにレーザ光を照射するレーザ C V D (Chemical Vapor Deposition) 法により、タングステンを局所的に堆積させ、メタライズ層を形成している。

なお、本実施形態の製造工程の順番と異なり、配線層 W Lを形成した後、追加発光素子 1 1 aを実装してもよい。

【 0 0 7 7 】

追加発光素子 1 1 aを実装し、かつ、配線層 W Lを形成した後、絶縁層 2 6をさらに形成する。絶縁層 2 6は、複数の画素電極 P E、複数の実装電極 S E、及び配線層 W Lの上に位置し、複数の画素電極 P E、複数の実装電極 S E、及び配線層 W Lを覆うことができる。絶縁層 2 6は、複数の発光素子 1 0及び追加発光素子 1 1 aを露出させている。

【 0 0 7 8 】

図 8に示すように、続いて、絶縁層 2 6及び配線層 W Lの上に、素子絶縁層 3 1を形成する。次いで、絶縁層 2 6、配線層 W L、複数の発光素子 1 0、及び追加発光素子 1 1の上に、共通電極 C Eを形成する。これにより、共通電極 C Eは、複数の発光素子 1 0及び追加発光素子 1 1 aのそれぞれの陰極 C Aに電氣的に接続され、複数の画素 P Xの複数の副画素 S Pで共用される。これにより、表示パネル 2の製造方法が終了する。

【 0 0 7 9 】

上記のように構成された一実施形態に係る表示装置 1及び表示装置 1の製造方法によれば、画素 P Xは単個の実装電極 S Eを備えている。そのため、各々の副画素 S Pが単個の実装電極 S Eを備えている場合と比較して画素 P Xの高精細化に寄与することができる。発光不良の発光素子 1 0は、表示パネル 2から取り外してもよいが、画素電極 P Eの上に載せたままにしてもよい。これにより、発光不良の発光素子 1 0を表示パネル 2から取り外す手間を省くことができる。

上記のことから、リペアを容易に行うことが可能な表示装置 1及び表示装置 1の製造方法を得ることができる。

【 0 0 8 0 】

(一実施形態の変形例 1)

次に、上記実施形態の変形例 1について説明する。図 1 1は、上記実施形態の変形例 1に係る表示装置 1の一部を示す断面図である。

図 1 1に示すように、配線層 W Lは、第 2画素 P X 2の実装電極 S Eと追加発光素子 1 1 aとの間に位置していてもよい。追加発光素子 1 1 aは、配線層 W Lの上に実装されている。

【 0 0 8 1 】

第 2画素 P X 2の実装電極 S Eと追加発光素子 1 1 aとの間に配線層 W Lが位置していない場合と比較して、追加発光素子 1 1 aが実装される側の面の位置を高くすることができる。絶縁基板 2 0から配線層 W Lの上面までの距離は、絶縁基板 2 0から画素電極 P E aの上面までの距離より長い。

【 0 0 8 2 】

本変形例 1における表示装置 1の製造方法においては、追加発光素子 1 1を実装する前に配線層 W Lを形成する点で、上記実施形態の製造方法と異なっている。配線層 W Lを形成する際、配線層 W Lを第 2画素 P X 2の実装電極 S Eの上にも形成する。これにより、一層、追加発光素子 1 1 aを実装し易くすることができる。配線層 W Lを形成した後、追加発光素子 1 1 aを配線層 W Lの上に実装する。配線層 W Lは、第 2画素 P X 2の実装電極 S Eと追加発光素子 1 1 aとの間に位置することとなる。

上記のように構成された変形例 1に係る表示装置 1及び表示装置 1の製造方法においても、上記実施形態と同様の効果を得ることができる。

【 0 0 8 3 】

(一実施形態の変形例 2)

次に、上記実施形態の変形例 2について説明する。図 1 2は、上記実施形態の変形例 2

10

20

30

40

50

に係る表示装置 1 の第 1 画素 P X 1 及び第 2 画素 P X 2 を示す平面図であり、画素電極 P E と、実装電極 S E と、発光素子 1 0 と、追加発光素子 1 1 a と、配線層 W L とを示す図である。

【0084】

図 1 2 に示すように、各々の画素 P X の画素電極 P E a , P E b , P E c (発光素子 1 0 a , 1 0 b , 1 0 c) は、第 1 方向 X に並べられ、第 2 方向 Y に延在し、ストライプ状 (縦ストライプ状) に配置されていてもよい。各々の画素 P X において、実装電極 S E は、画素電極 P E a , P E b , P E c のグループに対し、第 2 方向 Y に隣り合い、第 1 方向 X に延在している。実装電極 S E は、第 2 方向 Y において、画素電極 P E a , P E b , P E c のうち少なくとも一つの電極と対向している。

10

【0085】

なお、画素電極 P E a , P E b , P E c 及び実装電極 S E の位置関係は、本変形例 2 の位置関係に限定されるものではなく、種々変形可能である。画素電極 P E a , P E b , P E c のうちの任意の一の画素電極 P E と、実装電極 S E と、を配線層 W L にて接続することができれば、上記位置関係は、特に限定されるものではない。

上記のように構成された変形例 2 に係る表示装置 1 及び表示装置 1 の製造方法においても、上記実施形態と同様の効果を得ることができる。

【0086】

本発明の実施形態を説明したが、上記の実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。上記の新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。上記の実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

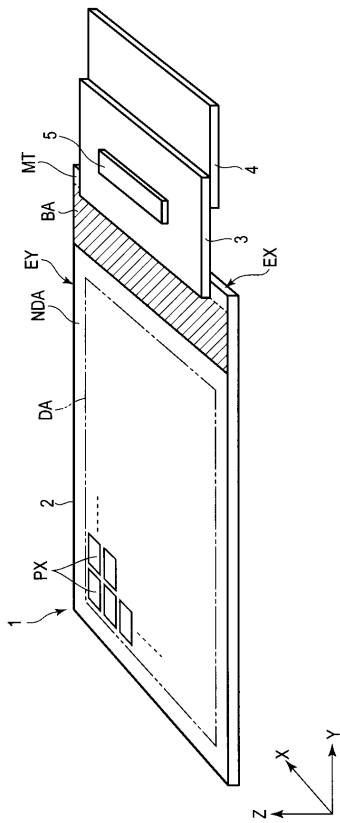
【0087】

1 ... 表示装置、2 ... 表示パネル、P N L ... パネル、2 0 ... 絶縁基板、
2 1 , 2 2 , 2 3 , 2 4 , 2 5 , 2 6 ... 絶縁層、C H ... コンタクトホール、
3 1 ... 素子絶縁層、S L a ... 高電位電源線、S L b ... 低電位電源線、
P X , P X 1 , P X 2 ... 画素、S P , S P a , S P b , S P c ... 副画素、
R S T ... リセットスイッチ、S S T ... 画素スイッチ、I S T ... 初期化スイッチ、
B C T ... 出力スイッチ、D R T ... 駆動トランジスタ、S C ... 半導体層、
G E ... ゲート電極、E 1 ... 第 1 電極、E 2 ... 第 2 電極、C s ... 保持容量、
C a d ... 補助容量、C L 1 ... 導電層、P E , P E a , P E b , P E c ... 画素電極、
S E ... 実装電極、1 0 , 1 0 a , 1 0 b , 1 0 c ... 発光素子、
1 1 , 1 1 a ... 追加発光素子、A N ... 陽極、C A ... 陰極、L I ... 発光層、W L ... 配線層、
C E ... 共通電極、D A ... 表示領域、N D A ... 非表示領域、X ... 第 1 方向、Y ... 第 2 方向、
Z ... 第 3 方向。

30

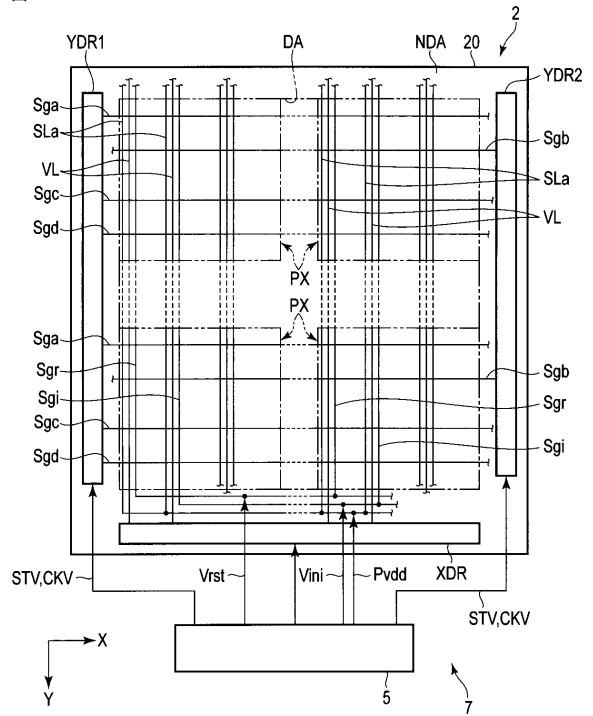
【 図 1 】

図 1



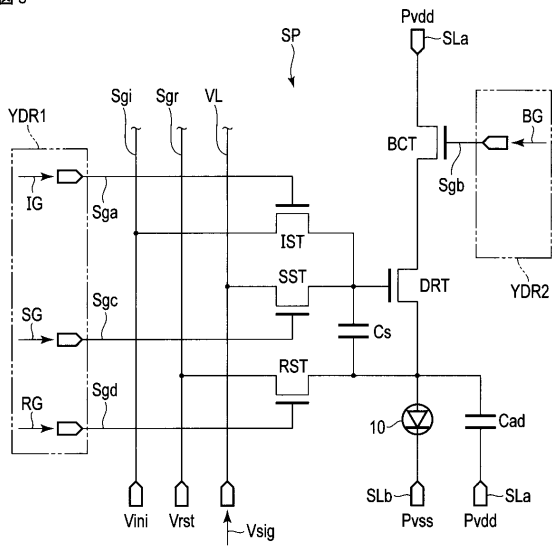
【 図 2 】

図 2



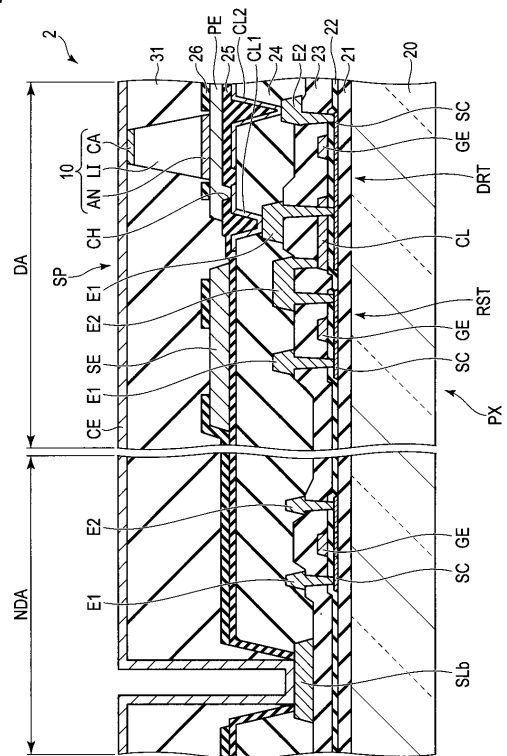
【 図 3 】

図 3

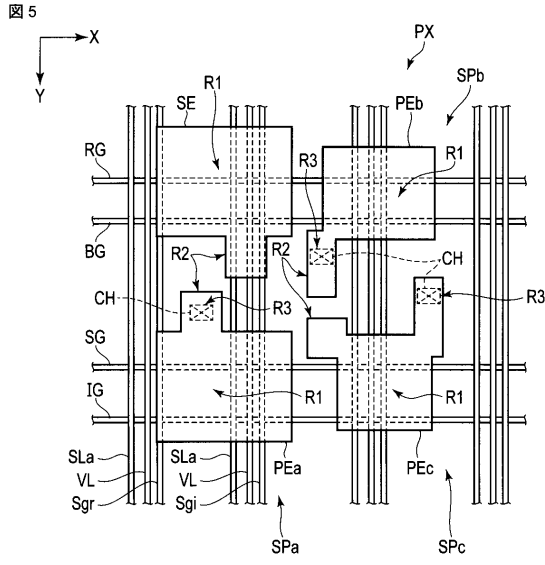


【 図 4 】

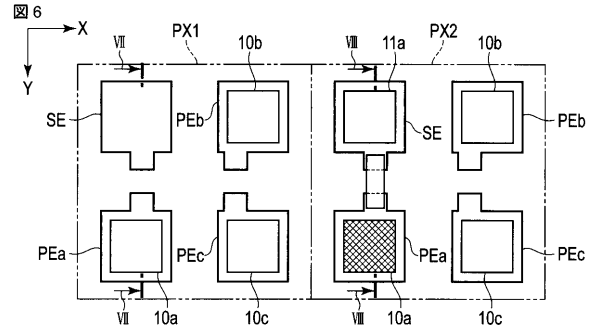
図 4



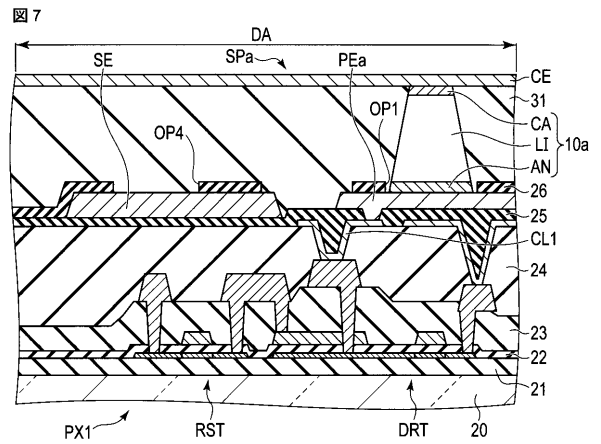
【 図 5 】



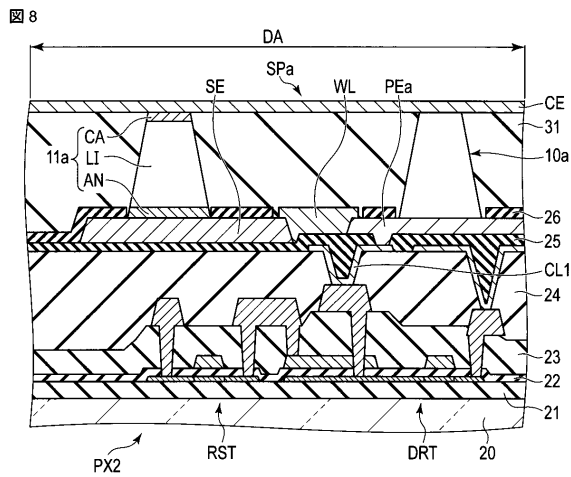
【 図 6 】



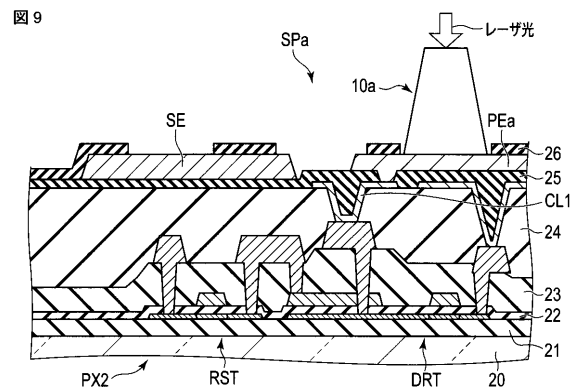
【 図 7 】



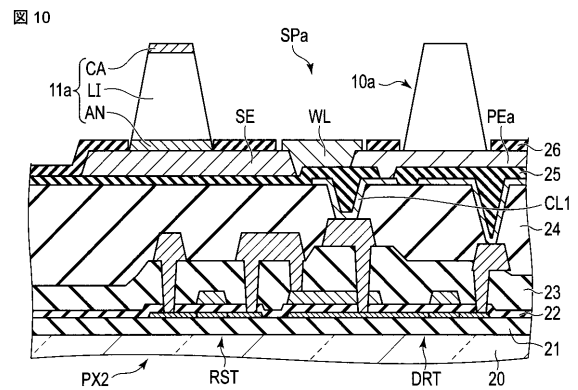
【 図 8 】



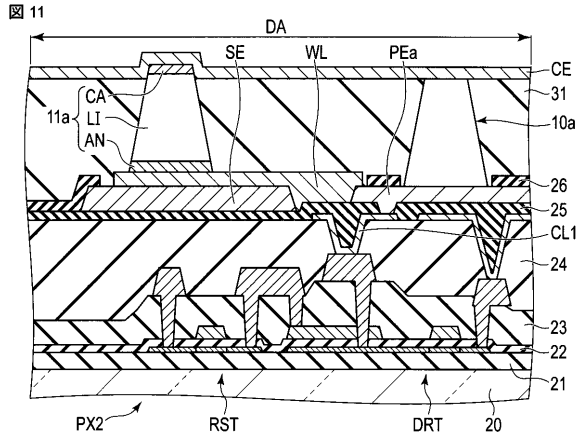
【 図 9 】



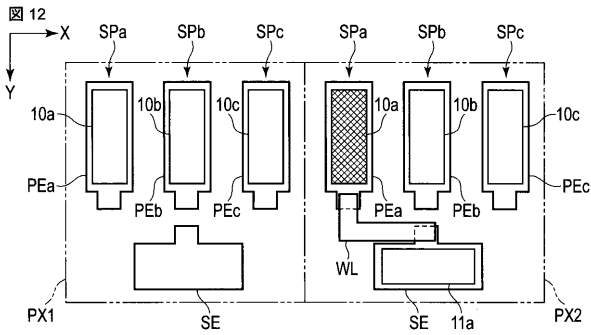
【 図 10 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
H 0 1 L 29/786 (2006.01)	H 0 1 L	33/00	L	5 G 4 3 5
H 0 1 L 21/768 (2006.01)	H 0 1 L	33/62		
H 0 1 L 21/82 (2006.01)	H 0 1 L	29/78	6 1 2 C	
	H 0 1 L	21/90	A	
	H 0 1 L	21/82	F	
	H 0 1 L	21/82	R	

Fターム(参考)	5F033	GG03	HH08	HH18	HH19	HH20	HH38	JJ01	JJ08	JJ18	JJ20
		JJ38	KK08	KK18	KK20	MM05	MM08	NN06	PP10	PP31	RR21
		RR22	RR27	VV01	VV04	VV05	VV06	VV10	VV11	VV15	XX36
	5F064	AA17	AA20	BB31	CC09	CC23	CC25	EE52	EE57	FF02	FF28
		FF33	FF42								
	5F110	AA27	BB01	BB02	CC01	DD01	DD02	DD03	DD06	DD12	DD13
		DD14	EE06	GG01	GG02	GG13	GG15	HL02	HL03	HL12	NN02
		NN23	NN24	NN27	NN71	NN73					
	5F142	AA81	AA82	CB14	CB23	CD02	DB24	EA34	FA30	FA34	GA02
	5G435	AA17	BB04	CC09	CC12	HH12	KK05	KK10			

专利名称(译)	显示面板，显示面板的制造方法以及基板		
公开(公告)号	JP2020086153A	公开(公告)日	2020-06-04
申请号	JP2018221074	申请日	2018-11-27
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	金谷康弘 池田雅延		
发明人	金谷 康弘 池田 雅延		
IPC分类号	G09F9/30 G09F9/33 G09F9/00 H01L33/00 H01L33/62 H01L29/786 H01L21/768 H01L21/82		
CPC分类号	G09F9/00 G09F9/30 G09F9/33 H01L21/768 H01L21/82 H01L29/786 H01L33/00 H01L33/62		
FI分类号	G09F9/30.338 G09F9/33 G09F9/00.351 G09F9/30.360 G09F9/00.338 H01L33/00.L H01L33/62 H01L29/78.612.C H01L21/90.A H01L21/82.F H01L21/82.R		
F-TERM分类号	5C094/AA42 5C094/BA03 5C094/BA12 5C094/BA25 5C094/CA19 5C094/CA24 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA07 5C094/EA10 5C094/FB12 5C094/GB10 5F033/GG03 5F033/HH08 5F033/HH18 5F033/HH19 5F033/HH20 5F033/HH38 5F033/JJ01 5F033/JJ08 5F033/JJ18 5F033/JJ20 5F033/JJ38 5F033/KK08 5F033/KK18 5F033/KK20 5F033/MM05 5F033/MM08 5F033/NN06 5F033/PP10 5F033/PP31 5F033/RR21 5F033/RR22 5F033/RR27 5F033/VV01 5F033/VV04 5F033/VV05 5F033/VV06 5F033/VV10 5F033/VV11 5F033/VV15 5F033/XX36 5F064/AA17 5F064/AA20 5F064/BB31 5F064/CC09 5F064/CC23 5F064/CC25 5F064/EE52 5F064/EE57 5F064/FF02 5F064/FF28 5F064/FF33 5F064/FF42 5F110/AA27 5F110/BB01 5F110/BB02 5F110/CC01 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD06 5F110/DD12 5F110/DD13 5F110/DD14 5F110/EE06 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HL02 5F110/HL03 5F110/HL12 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN71 5F110/NN73 5F142/AA81 5F142/AA82 5F142/CB14 5F142/CB23 5F142/CD02 5F142/DB24 5F142/EA34 5F142/FA30 5F142/FA34 5F142/GA02 5G435/AA17 5G435/BB04 5G435/CC09 5G435/CC12 5G435/HH12 5G435/KK05 5G435/KK10		
外部链接	Espacenet		

摘要(译)

解决的问题:提供一种显示面板,一种制造该显示面板的方法以及一种能够容易地进行修复的基板。显示面板包括基板,第一绝缘层和分别包括多种颜色的子像素的多个像素PX。每个子像素SP包括驱动晶体管,从驱动晶体管向其提供对其电流值进行控制的信号的像素电极PE,以及安装在像素电极PE上的发光元件10。每个像素PX具有与像素电极PE间隔开的安装电极SE。在多个像素PX中的第一像素PX1中,安装电极SE处于电浮置状态。[选择图]图6

